

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168944

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H04L 29/10

H04B 7/02

H04L 1/00

(21)Application number : 11-345379

(71)Applicant : SONY CORP

(22)Date of filing : 03.12.1999

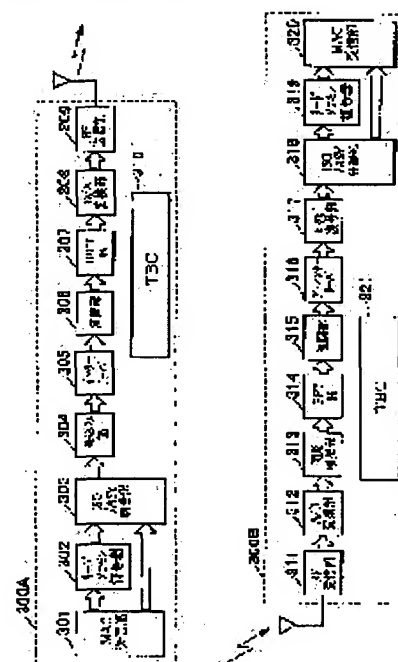
(72)Inventor : IWAMI HIDEKI  
KONYA SATOSHI

## (54) TRANSMITTER, RECEIVER, COMMUNICATION SYSTEM AND METHOD THEREFOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a transmitter, a receiver and a communication system, that can adjust the difference in a delay through different data processing in the receiver, realize processing of data in units frames, can be suitable for high-speed data communication and be adaptive to a modulation system changed in time division.

SOLUTION: A MAC reception section 320 is provided with a memory controller 106, received data are recognized on the basis of information data 105 outputted by an ISO/ASY separate section 318, ISO data outputted from a Reed-Solomon decoder 319 are stored in an ISO data area of a memory 318, and management data and ASY data outputted from the ISO/ASY separate section 318 are stored in a management data area and an ASY data area respectively, then a difference in a delay between the ISO data and the ASY data can be absorbed, and the memory controller 106 selects its operation, according to the change in the modulation system for the ISO data and the ASY data so as to be adaptive to each modulation system.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168944

(P2001-168944A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)
H 0 4 L 29/10		H 0 4 B 7/02	Z 5 K 0 1 4
H 0 4 B 7/02		H 0 4 L 1/00	Z 5 K 0 3 4
H 0 4 L 1/00		13/00	3 0 9 Z 5 K 0 5 9

審査請求 未請求 請求項の数36 O L (全 14 頁)

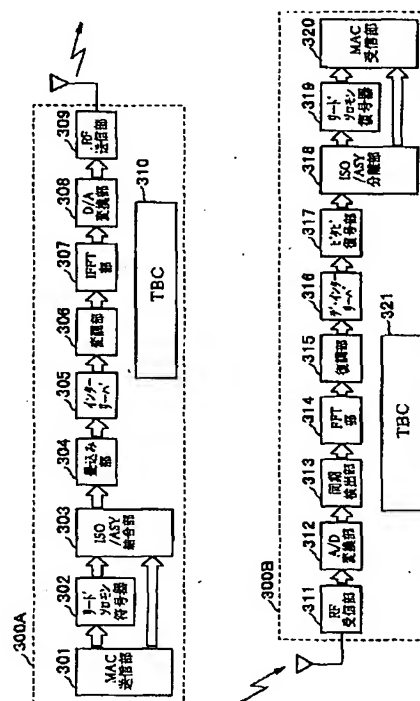
(21) 出願番号	特願平11-345379	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成11年12月3日 (1999.12.3)	(72) 発明者	石見 英輝 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	紺谷 悟司 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	100094053 弁理士 佐藤 隆久 Fターム(参考) 5K014 BA02 BA06 BA08 FA03 5K034 AA01 EE03 FF01 MM01 5K059 CC02 CC03 CC07 DD24 EE02

(54) 【発明の名称】 送信装置、受信装置、通信システム及びその方法

(57) 【要約】

【課題】 受信装置における異なるデータ処理による遅延量の差を調整し、フレーム単位の処理を実現でき、高速なデータ通信に適し、さらに、時分割に変化する変調方式にも対応できる送信、受信装置及び通信システムを提供する。

【解決手段】 MAC受信部320に、メモリコントローラ106を設けて、ISO/ASY分離部318によって出力された情報データ105に基づき、受信したデータを認識し、リードソロモン復号器319から出力されたISOデータをメモリ108のISOデータ領域に格納し、ISO/ASY分離部318から出力された管理データ及びASYデータをそれぞれ管理データ領域及びASYデータ領域に格納するので、ISOデータとASYデータの遅延量の違いを吸収でき、ISOデータとASYデータの変調方式の変化に従ってメモリコントローラ106は動作を切り替え、各変調方式に対応することができる。



## 【特許請求の範囲】

【請求項1】属性の異なる2種類以上のデータを送信する送信装置であって、

第1の属性のデータに応じて第1のパケットデータを生成し、第2の属性のデータに応じて第2のパケットデータを生成する送信データ生成手段と、

上記第1の属性のデータに誤り訂正符号を付加する誤り符号化手段と、

上記第1のパケットデータ及び第2のパケットデータに関する管理情報を受信側に知らせる管理データを生成する管理データ生成手段と、

それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第1のパケットデータと、上記第2のパケットデータと、上記管理データとを所定の変調方式で変調して送信する送信手段とを有する送信装置。

【請求項2】上記送信手段は、上記送信データをマルチキャリア変調方式で変調して送信する請求項1記載の送信装置。

【請求項3】上記送信手段は、受信側からの再送請求に応じて、上記第2のパケットデータを再度送信する再送手段を有する請求項1記載の送信装置。

【請求項4】上記再送手段は、上記第2の属性のデータにCRC (Cyclic Redundancy Check) 符号用パリティを付加する請求項3記載の送信装置。

【請求項5】上記誤り訂正符号化手段は、上記第1の属性データに対して、リードソロモン符号化処理を行う請求項1記載の送信装置。

【請求項6】送信側によって送信される複数のパケットデータを受信する受信装置であって、

送信側によって送信された管理データを受信し、当該管理データに応じて、第1の属性のデータからなる第1のパケットデータと第2の属性のデータからなる第2のパケットデータを認識する管理情報を取得する情報取得手段と、

上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するデータ分離手段と、

上記データ分離手段によって分離された上記第1のパケットデータの誤り訂正を行う誤り訂正手段と、

上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれメモリに蓄積するメモリ制御手段とを有する受信装置。

【請求項7】上記データ分離手段は、受信した上記第1のパケットデータを上記誤り訂正手段で処理可能なパラレルデータに変換するシリアル/パラレル変換手段を有する請求項6記載の受信装置。

【請求項8】上記誤り訂正手段は、上記データ分離手段によって分離された上記第1のパケットデータをリードソロモン復号する請求項6記載の受信装置。

【請求項9】送信側に上記第2の属性のデータを再送す

る要求を行う再送請求手段を有する請求項6記載の受信装置。

【請求項10】上記再送請求手段において、上記第2の属性のデータに付加されたCRC復号を行ったあと、受信していない第2の属性のデータの packets を再送する要求を行う請求項9記載の受信装置。

【請求項11】上記第1のパケットデータを受信して処理する第1の受信処理部と、

上記第2のパケットデータを受信して処理する第2の受信処理部と、

上記管理情報に応じて、上記第1及び第2の受信処理部の動作を切り換える切り替え手段とを有する請求項6記載の受信装置。

【請求項12】上記データ分離手段は、上記第1のパケットデータの先頭を上記誤り訂正手段に通知する制御信号を上記誤り訂正手段に出力する請求項6記載の受信装置。

【請求項13】上記データ分離手段は、上記第2のパケットデータの先頭を上記メモリ制御手段に通知する第2の制御信号を上記メモリ制御手段に出力する請求項6記載の受信装置。

【請求項14】上記メモリ制御手段は、上記第1のパケットデータと第2のパケットデータをそれぞれメモリ上の異なる領域に格納する請求項6記載の受信装置。

【請求項15】送信側によって送信される複数のパケットデータを受信する受信装置であって、

送信側によって送信された管理データを受信し、当該管理データに応じて、第1の属性のデータからなる第1のパケットデータと第2の属性のデータからなる第2のパケットデータを認識する管理情報を取得する情報取得手段と、

上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するデータ分離手段と、

上記データ分離手段によって分離された上記第1のパケットデータの誤り訂正を行う誤り訂正手段と、

上記管理情報に応じて、上記誤り訂正された第1のパケットデータを第1のメモリに蓄積する第1のメモリ制御手段と、

上記管理情報に応じて、上記第2のパケットデータを第2のメモリに蓄積する第2のメモリ制御手段とを有する受信装置。

【請求項16】上記データ分離手段は、受信した上記第1のパケットデータを上記誤り訂正手段で処理可能なパラレルデータに変換するシリアル/パラレル変換手段を有する請求項15記載の受信装置。

【請求項17】上記誤り訂正手段は、上記データ分離手段によって分離された上記第1のパケットデータをリードソロモン復号する請求項15記載の受信装置。

【請求項18】送信側に上記第2の属性のデータを再送

する要求を行う再送請求手段を有する請求項 15 記載の受信装置。

【請求項 19】上記再送請求手段において、上記第 2 の属性のデータに付加された CRC 復号を行ったあと、受信していない第 2 の属性のデータの packets を再送する要求を行う請求項 18 記載の受信装置。

【請求項 20】上記第 1 の packets データを受信して処理する第 1 の受信処理部と、  
上記第 2 の packets データを受信して処理する第 2 の受信処理部と、

上記管理情報に応じて、上記第 1 の受信処理部の動作を切り換える第 1 の切り替え手段と、

上記管理情報に応じて、上記第 2 の受信処理部の動作を切り換える第 2 の切り替え手段とを有する請求項 15 記載の受信装置。

【請求項 21】上記データ分離手段は、上記第 1 の packets データの先頭を上記誤り訂正手段に通知する制御信号を上記誤り訂正手段に出力する請求項 15 記載の受信装置。

【請求項 22】上記データ分離手段は、上記第 2 の packets データの先頭を上記メモリ制御手段に通知する第 2 の制御信号を上記第 2 のメモリ制御手段に出力する請求項 15 記載の受信装置。

【請求項 23】受信処理を制御する受信制御手段と、  
上記制御手段によってアクセスされる主メモリと、  
上記第 1 のメモリに蓄積した上記第 1 の packets データを上記主メモリに転送するデータ転送手段とを有する請求項 15 記載の受信装置。

【請求項 24】上記受信制御手段は、中央処理装置 (CPU) である請求項 23 記載の受信装置。

【請求項 25】上記データ転送手段は、DMA 転送を行う請求項 23 記載の受信装置。

【請求項 26】上記第 1 のメモリは、少なくとも 2 つのアクセスポートを有するマルチポートメモリであり、上記第 1 のメモリ制御手段及び上記受信制御手段によって同時にアクセス可能である請求項 23 記載の受信装置。

【請求項 27】送信側によって複数の packets データをフレーム単位で送信される送信データを受信する受信装置であって、

送信側によって送信された管理データを受信し、当該管理データに応じて、第 1 の属性のデータからなる第 1 の packets データと第 2 の属性のデータからなる第 2 の packets データを認識する管理情報を取得する情報取得手段と、

上記管理情報に応じて、受信データから上記第 1 の packets データと上記第 2 の packets データとを分離するデータ分離手段と、

上記データ分離手段によって分離された上記第 1 の packets データの誤り訂正を行う誤り訂正手段と、

上記管理情報に応じて、上記誤り訂正された第 1 のパケ

ットデータと第 2 の packets データをそれぞれ第 1 のメモリに蓄積するメモリ制御手段と、

受信処理を制御する受信制御手段と、

上記受信制御手段によってアクセスされる第 2 のメモリと、

上記第 1 のメモリに蓄積したデータを上記第 2 のメモリに転送するデータ転送手段と、

上記第 2 のメモリに蓄積したデータのフレームを他のフレームに変換するフレーム変換手段とを有する受信装置。

【請求項 28】送信側に上記第 2 の属性のデータを再送する要求を行う再送請求手段を有する請求項 27 記載の受信装置。

【請求項 29】上記再送請求手段において、上記第 2 の属性のデータに付加された CRC 復号を行ったあと、受信していない第 2 の属性のデータの packets を再送する要求を行う請求項 28 記載の受信装置。

【請求項 30】上記受信制御手段は、中央処理装置 (CPU) である請求項 27 記載の受信装置。

【請求項 31】上記データ転送手段は、DMA 転送を行う請求項 27 記載の受信装置。

【請求項 32】上記第 1 のメモリは、少なくとも 2 つのアクセスポートを有するマルチポートメモリであり、上記第 1 のメモリ制御手段及び上記受信制御手段によって同時にアクセス可能である請求項 27 記載の受信装置。

【請求項 33】属性の異なる 2 種類以上のデータを送信装置から受信装置に伝送する通信システムであって、

上記送信装置は、第 1 の属性のデータに応じて第 1 の packets データを生成し、第 2 の属性のデータに応じて第 2 の packets データを生成する送信データ生成手段と、  
上記第 1 の属性のデータに誤り訂正符号を付加する誤り符号化手段と、

上記第 1 の packets データ及び第 2 の packets データに関する管理情報を上記受信装置に知らせる管理データを生成する管理データ生成手段と、

それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第 1 の packets データと、上記第 2 の packets データと、上記管理データとを所定の変調方式で変調して送信する送信手段とを有し、

上記受信装置は、上記管理データを受信し、当該管理データに応じて、上記第 1 の packets データと上記第 2 の packets データを認識する管理情報を取得する情報取得手段と、

上記管理情報に応じて、受信データから上記第 1 の packets データと上記第 2 の packets データとを分離するデータ分離手段と、

上記データ分離手段によって分離された上記第 1 の packets データの誤り訂正を行う誤り訂正手段と、

上記管理情報に応じて、上記誤り訂正された第 1 の packets データと第 2 の packets データをそれぞれメモリに

蓄積するメモリ制御手段とを有する通信システム。

【請求項34】属性の異なる2種類以上のデータを送信する送信方法であって、

第1の属性のデータに応じて第1のパケットデータを生成し、第2の属性のデータに応じて第2のパケットデータを生成するステップと、

上記第1の属性のデータに誤り訂正符号を付加するステップと、

上記第1のパケットデータ及び第2のパケットデータに関する管理情報を上記受信装置に知らせる管理データを付加するステップと、

それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第1のパケットデータと、上記第2のパケットデータと、上記管理データとを所定の変調方式で変調して送信するステップとを有する送信方法。

【請求項35】送信側によって送信された属性の異なる2種類以上のデータを受信する受信方法であって、

上記送信側によって送信された管理データを受信し、当該管理データに応じて、第1の属性のデータからなる第1のパケットデータと第2の属性のデータからなる第2のパケットデータを認識する管理情報を取得するステップと、

上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するステップと、

分離された上記第1のパケットデータの誤り訂正を行うステップと、

上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれメモリに蓄積するステップとを有する受信方法。

【請求項36】属性の異なる2種類以上のデータを伝送する通信方法であって、

第1の属性のデータに応じて第1のパケットデータを生成し、第2の属性のデータに応じて第2のパケットデータを生成するステップと、

上記第1の属性のデータに誤り訂正符号を付加するステップと、

上記第1のパケットデータ及び第2のパケットデータに関する管理情報を上記受信装置に知らせる管理データを生成するステップと、

それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第1のパケットデータと、上記第2のパケットデータと、上記管理データとを所定の変調方式で変調して送信するステップと、

上記管理データを受信し、当該管理データに応じて、上記第1のパケットデータと上記第2のパケットデータを認識する上記管理情報を取得するステップと、

上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するステップと、

上記分離された上記第1のパケットデータの誤り訂正を行うステップと、

上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれメモリに蓄積するステップとを有する通信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチキャリア変調方式を用いたデータ送受信装置及び通信システムに関するものである。

【0002】

【従来の技術】現在、TDMA (Time Division Multiplex Access) 技術を基礎にしたPDC (Personal Digital Cellular)・PHS (Personal Handyphone System) やCDMA (Code Division Multiplex Access) 技術を基礎にしたCdmaOneや無線LAN等、様々な無線技術を駆使して音声・映像データ等を通信する通信端末装置が市場に出回っている。また、近年の放送や移動体通信の周波数利用効率の向上に伴って、マルチパス干渉に強い直交周波数分割多重方式 (Orthogonal Frequency Division Multiplexing: OFDM方式) と称されるマルチキャリア方式の技術開発が盛んに行われている。

【0003】前記OFDM方式は、1伝送帯域内に所定の周波数間隔で互いに直交する複数の搬送波 (以下、サブキャリア) を配置し、それぞれのサブキャリアにデータを分散させて変調し、伝送する方式である。本方式では、送信装置は、時系列に得られる送信データを、仮想的に周波数軸上に配置し、各々のサブキャリアに送信データを割り当て、逆高速フーリエ変換などで所定の周波数間隔のマルチキャリア信号に直交変換し送信する。一方、受信装置は受信したマルチキャリア信号を送信時とは逆の変換で時系列のデータに復調し、もとの送信データを再生する。OFDM方式による伝送信号は、マルチパスであっても良好な伝送特性が確保できる利点や、周波数利用効率が高く、他の周波数帯域に干渉を与えにくいといった利点がある。

【0004】図5は、前記OFDM方式に対応した従来の通信システムの構成を示すブロック図である。以下、図5を参照しながら従来の通信システムの構成及び動作について説明する。図5において、500Aは送信装置であり、500Bは受信装置である。送信装置500Aにおいて、501はMAC (Media Access Control) 送信部であり、JPEG (Joint Photographic coding Experts Group) やMPEG (Moving Picture coding Experts Group) 等の非可逆な画像符号化データ、JBIG (Joint Bi-Level Image coding Experts Group) 等のような可逆な画像符号化データ、画像以外のデータといったあらゆるデータをパケット形式データとして処理を行う。同機能ブロック出力前にリードソロモン符号や

ターボ符号といったECC (Error Correcting Code) が実装されることも多い。

【0005】畳み込み部502はMAC送信部501で符号化した送信情報ビット系列に対し、系列間距離の伸長を行い、送信符号化ビット系列を生成させる。さらに、インターリーバ503は符号化ビット系列の並び替えを行い、ビット系列を分散させる。前記分散させたビット系列に対し、変調部504は、まずプリアンプル (Preamble) 信号を前記ビット系列内に挿入し、次に第1次変調としてDQPSK変調を行う。ここで、変調部504はDQPSK以外にも、BPSK、QPSK、8PSK、QAM等の変調方式を行えるものとする (この時、受信装置500Bにおける復調部513はそれぞれの変調方式を復調できる復調方式が必要となる)。

【0006】変調部504で変調した送信シンボルストリームに対し、逆高速フーリエ変換部 (以下、便宜上IFFT部と略記する) 505は第2次変調としてIFFTを行い、さらに窓かけを行う。IFFT部505により、今まで仮想的に周波数軸に配置されていた送信シンボルストリームが時間軸上で平均化され、送信系列となる。D/A変換部506は、前記送信系列を入力し、デジタル-アナログ変換を行う。変換後のアナログ信号に対し、高周波送信部 (RF送信部) 507はフィルタリング、周波数変換等を行った後、送信を行う。なお、TBC (Time Base Controller) 508は本送信装置の送信タイミングを制御する。

【0007】一方、受信装置500Bにおいて、509はフィルタリング、周波数変換を行う高周波受信部 (RF受信部) であり、RF受信部509によって受信したアナログ信号に対し、A/D変換部510は、アナログ-デジタル変換を行い、デジタル化された受信系列を生成する。511は前記受信系列の中から高速フーリエ変換 (FFT) するデータの切れ目を検出する同期検出部であり、FFTが動作を始めるタイミングを検出する。前記タイミング検出後、高速フーリエ変換部 (以下、便宜上FFT部と略記する) 512はFFTを行う。復調部513は、前記FFT処理後の信号をDQPSK復調し、受信シンボルストリームを生成する。

【0008】前記受信シンボルストリームに対し、デ・インターリーバ514は、分散されたビット系列を再配置し、受信符号化ビット系列を生成する。ビタビ復号部515は前記受信符号化ビット系列を受信情報ビット系列に変換し、MAC受信部516へ出力する。MAC受信部516は、送信装置500AのMAC送信部501で付加されたECC込みのAsyデータや制御データからECCを検出し、受信情報ビット系列に対して誤り訂正を行う。この後、生成された受信データの中から前もって決められた手順で画像やその他のデータを復調する。

【0009】なお、本受信装置500Bには前記送信装

置500Aと同様に、TBC517が設けられ、TBC517によって受信タイミングが制御される。以上のように、OFDM技術を利用した送信機には第1次変調として変調部504、第2次変調としてIFFT部505が利用されている。変調部504は、送信データに応じてそれぞれのサブキャリアの位相を離散的に変化させる変調方法であり、周波数利用効率に大きな利点がある。また、IFFT部505は、サブキャリアに配置されるビット系列を時間軸上で平均化させるため、フェーディングやシャドウイング、マルチパスといった干渉波に強いといった大きな利点がある。

【0010】このように、様々な電波伝搬環境に対応できるという利点があるため室内または室外の用途に限定されず、様々なシステムが提案されている。ほとんどのシステムが現状のネットワークを意識したパケット方式・再送処理でデータの送受信を行っている。しかし、MPEGやDV (Digital Video) のようなリアルタイム性の高い画像データ等をパケットで送受信すると、再送遅延による原因で画像がきれいに表示されない可能性がある。さらに、各パケットの先頭に付加されるヘッダ (Header) がボトルネックになり、十分に伝送レートを確保できない問題が生じる可能性がある。

【0011】この問題を解決するため、最近、画像専用のパケット (ISOデータ) を設け、ヘッダなしにデータの送受信を行うシステムがある。IEEE1394の無線化 (ワイヤレス (Wireless) 1394) したシステムは代表的な一例であり、例えば、無線通信の基地局 (Base Station) と移動局 (Mobile Station) とのネゴシエーションを行うところで画像の伝送レートを決定し、画像データに不要なヘッダを削減している。このような場合、画像についてのみリードソロモン符号 (Read Solomon Code) といったFEC (Forward Error Correcting) 処理を施すことが容易であり、無線環境での画像データエラーの発生を抑制することができ、無線環境では非常に効果的である。

【0012】送信装置と受信装置間で予め決定した取り決めに従ってデータ伝送を行う。送信側によって異なる属性のデータを時分割したフレーム単位で送信する。各フレームに、送受信装置間の制御を行う管理データ、ストリーム・データ及びパケットデータが含まれている。送信側において、ストリーム・データは、例えば、リードソロモン符号化され、パリティが付加されたあと、送受信装置間の取り決めによって決められた順序情報に従ってパケット・データと組み合わせられ、マルチキャリア変調方式に従って変調され、送信される。なお、当該順序情報は、前もって送信装置と受信装置の間で決められ、固定または時間的に可変なものである。

【0013】受信装置において、受信した信号から、順序情報に従ってストリーム・データとパケット・データとが分離される。受信装置は、分離されたストリーム・

データを送信側に行われた符号化処理に応じて、誤り訂正、例えば、リードソロモン復号処理を行い、もとのデータを再生する。一方、分離されたパケット・データは、通常の復調処理によってもとのデータが再生される。

【0014】

【発明が解決しようとする課題】ところで、上述した従来の通信システムの場合、エラー訂正方式において2つの方式が混在する。ストリーム・データはリアルタイム伝送を目標にしているため、データエラーをFECによって訂正し、データの再送を行わない。一方、パケット・データの場合、IPのような非同期パケットをターゲットとしているため、ARQ (Automatic Request for Reception) で対応している。即ち、受信側において、受信したパケット・データに誤りがあると判断した場合、送信側に再送を要求する。当然、ストリーム・データはパケット・データよりも誤り訂正能力の高い誤り訂正符号を付加する必要がある、その結果、ストリーム・データの誤り訂正処理には、専用の処理部が受信装置に設けられている。

【0015】しかし、このシステムを設計する上で、ストリーム・データはその誤り処理に費やされる時間分だけ出力が遅延し、パケット・データとの遅延量が異なってしまう。つまり、すべてのデータが図5のような一環したデータ処理を行うことができない。必然的に、ストリーム・データとパケット・データの処理を分ける必要があるが、各々のデータ処理部が勝手な処理を行うと、受信したデータを、管理データ、ストリーム・データ及びパケット・データによって構成された1フレーム単位で処理する回路構成が複雑になるという不利益がある。

【0016】本発明は、かかる事情に鑑みてなされたものであり、その目的は、受信装置における異なるデータ処理による遅延量の差を調整し、フレーム単位の処理を実現でき、高速なデータ通信に適し、さらに、時分割に変化する変調方式にも対応できる送信、受信装置、通信システム及びそれらの方法を提供する。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明の送信装置は、属性の異なる2種類以上のデータを送信する送信装置であって、第1の属性のデータに応じて第1のパケットデータを生成し、第2の属性のデータに応じて第2のパケットデータを生成する送信データ生成手段と、上記第1の属性のデータに誤り訂正符号を付加する誤り符号化手段と、上記第1のパケットデータ及び第2のパケットデータに関する管理情報を受信側に知らせる管理データを生成する管理データ生成手段と、それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第1のパケットデータと、上記第2のパケットデータと、上記管理データとを所定の変調方式で変調して送信する送信手段とを有する。

【0018】また、本発明の受信装置は、送信側によって送信される複数のパケットデータを受信する受信装置であって、送信側によって送信された管理データを受信し、当該管理データに応じて、第1の属性のデータからなる第1のパケットデータと第2の属性のデータからなる第2のパケットデータを認識する管理情報を取得する情報取得手段と、上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するデータ分離手段と、上記データ分離手段によって分離された上記第1のパケットデータの誤り訂正を行う誤り訂正手段と、上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれメモリに蓄積するメモリ制御手段とを有する。

【0019】また、本発明の受信装置は、送信側によって送信された管理データを受信し、当該管理データに応じて、第1の属性のデータからなる第1のパケットデータと第2の属性のデータからなる第2のパケットデータを認識する管理情報を取得する情報取得手段と、上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するデータ分離手段と、上記データ分離手段によって分離された上記第1のパケットデータの誤り訂正を行う誤り訂正手段と、上記管理情報に応じて、上記誤り訂正された第1のパケットデータを第1のメモリに蓄積する第1のメモリ制御手段と、上記管理情報に応じて、上記第2のパケットデータを第2のメモリに蓄積する第2のメモリ制御手段とを有する。

【0020】また、本発明の受信装置は、送信側によって複数のパケットデータをフレーム単位で送信される送信データを受信する受信装置であって、送信側によって送信された管理データを受信し、当該管理データに応じて、第1の属性のデータからなる第1のパケットデータと第2の属性のデータからなる第2のパケットデータを認識する管理情報を取得する情報取得手段と、上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するデータ分離手段と、上記データ分離手段によって分離された上記第1のパケットデータの誤り訂正を行う誤り訂正手段と、上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれ第1のメモリに蓄積するメモリ制御手段と、受信処理を制御する受信制御手段と、上記受信制御手段によってアクセスされる第2のメモリと、上記第1のメモリに蓄積したデータを上記第2のメモリに転送するデータ転送手段と、上記第2のメモリに蓄積したデータのフレームを他のフレームに変換するフレーム変換手段とを有する。

【0021】また、本発明の通信システムは、属性の異なる2種類以上のデータを送信装置から受信装置に伝送する通信システムであって、上記送信装置は、第1の属



性のデータに応じて第1のパケットデータを生成し、第2の属性のデータに応じて第2のパケットデータを生成する送信データ生成手段と、上記第1の属性のデータに誤り訂正符号を付加する誤り符号化手段と、上記第1のパケットデータ及び第2のパケットデータに関する管理情報を上記受信装置に知らせる管理データを生成する管理データ生成手段と、それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第1のパケットデータと、上記第2のパケットデータと、上記管理データとを所定の変調方式で変調して送信する送信手段とを有し、上記受信装置は、上記管理データを受信し、当該管理データに応じて、上記第1のパケットデータと上記第2のパケットデータを認識する管理情報を取得する情報取得手段と、上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するデータ分離手段と、上記データ分離手段によって分離された上記第1のパケットデータの誤り訂正を行う誤り訂正手段と、上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれメモリに蓄積するメモリ制御手段とを有する。

【0022】また、本発明では、好適には、上記データ分離手段は、受信した上記第1のパケットデータを上記誤り訂正手段で処理可能なパラレルデータに変換するシリアル／パラレル変換手段を有し、上記誤り訂正手段は、上記データ分離手段によって分離された上記第1のパケットデータをリードソロモン復号する。

【0023】また、本発明では、好適には、送信側に上記第2の属性のデータを再送する要求を行う再送請求手段を有し、当該再送請求手段において、上記第2の属性のデータに付加されたCRC復号を行ったあと、受信していない第2の属性のデータの packets を再送する要求を行う。

【0024】また、本発明では、好適には、上記第1のパケットデータを受信して処理する第1の受信処理部と、上記第2のパケットデータを受信して処理する第2の受信処理部と、上記管理情報に応じて、上記第1の受信処理部の動作を切り換える第1の切り替え手段と、上記管理情報に応じて、上記第2の受信処理部の動作を切り換える第2の切り替え手段とを有する。

【0025】また、本発明では、好適には、上記データ分離手段は、上記第1のパケットデータの先頭を上記誤り訂正手段に通知する制御信号を上記誤り訂正手段に出力し、上記第2のパケットデータの先頭を上記メモリ制御手段に通知する第2の制御信号を上記第2のメモリ制御手段に出力する。

【0026】また、本発明では、好適には、上記受信制御手段は、中央処理装置(CPU)である。さらに、上記データ転送手段は、DMA転送を行う。

【0027】また、本発明では、好適には、上記第1のメモリは、少なくとも2つのアクセスポートを有するマ

ルチポートメモリであり、上記第1のメモリ制御手段及び上記受信制御手段によって同時にアクセス可能である。

【0028】また、本発明の送信方法は、属性の異なる2種類以上のデータを送信する送信方法であって、第1の属性のデータに応じて第1のパケットデータを生成し、第2の属性のデータに応じて第2のパケットデータを生成するステップと、上記第1の属性のデータに誤り訂正符号を付加するステップと、上記第1のパケットデータ及び第2のパケットデータに関する管理情報を上記受信装置に知らせる管理データを付加するステップと、それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第1のパケットデータと、上記第2のパケットデータと、上記管理データとを所定の変調方式で変調して送信するステップとを有する。

【0029】また、本発明の受信方法は、送信側によって送信された属性の異なる2種類以上のデータを受信する受信方法であって、上記送信側によって送信された管理データを受信し、当該管理データに応じて、第1の属性のデータからなる第1のパケットデータと第2の属性のデータからなる第2のパケットデータを認識する管理情報を取得するステップと、上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するステップと、分離された上記第1のパケットデータの誤り訂正を行うステップと、上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれメモリに蓄積するステップとを有する。

【0030】さらに、本発明の通信方法は、属性の異なる2種類以上のデータを伝送する通信方法であって、第1の属性のデータに応じて第1のパケットデータを生成し、第2の属性のデータに応じて第2のパケットデータを生成するステップと、上記第1の属性のデータに誤り訂正符号を付加するステップと、上記第1のパケットデータ及び第2のパケットデータに関する管理情報を上記受信装置に知らせる管理データを生成するステップと、それぞれ異なるタイミングで上記誤り訂正符号が付加された上記第1のパケットデータと、上記第2のパケットデータと、上記管理データとを所定の変調方式で変調して送信するステップと、上記管理データを受信し、当該管理データに応じて、上記第1のパケットデータと上記第2のパケットデータを認識する上記管理情報を取得するステップと、上記管理情報に応じて、受信データから上記第1のパケットデータと上記第2のパケットデータとを分離するステップと、上記分離された上記第1のパケットデータの誤り訂正を行うステップと、上記管理情報に応じて、上記誤り訂正された第1のパケットデータと第2のパケットデータをそれぞれメモリに蓄積するステップとを有する。

【0031】



【発明の実施の形態】以下、本発明の通信システムの構成について説明した上、この通信システムを構成する受信装置の2つの実施形態について説明する。図1は、本発明の通信システム全体の構成を示すブロック図である。図示のように、本発明の通信システムは、送信装置300Aと受信装置300Bによって構成されている。

【0032】送信装置300Aにおいて、301はMAC(Media Access Control)送信部であり、MPEGやMPEG2によって符号化された画像データ(音声データが含まれた場合もある)とその他のデータに分離する機能ブロックである。302はリードソロモン符号器(Read Solomon Encoder)であり、MAC送信部301から受信したストリーム・データ(以下、ISOデータ)に誤り訂正用パリティを付加する。303はISOデータと301から受信したパケット・データ(以下、ASYデータ)を前もって決められた順序情報に基づいて組み合わせるISO/ASY結合部である。なお、前記順序情報は送信装置300Aと受信装置300Bとの間の取り決めに従って決定されるものであり、順序情報は時々刻々と変化してもよい。

【0033】畳み込み部304はISO/ASY結合部303によって組み合わせられたIOSデータとASYデータのビット系列に対し、系列間距離の伸長を行い、送信符号化ビット系列を生成させる。インターリーバ305は符号化ビット系列の並び替えを行い、ビット系列を分散させる。

【0034】変調部306は、インターリーバ305によって分散されたビット系列に対して、まずプリアンブル(Preamble)信号を前記ビット系列内に挿入し、次に第1次変調としてDQPSK変調を行う。ここで、変調部306はDQPSK以外にも、BPSK、QPSK、8PSK、QAM等の変調方式を行えるものとする(この時、受信装置300Bにおける復調部315はそれぞれの変調方式に対応して復調できる復調機能が必要となる)。

【0035】IFFT部307は、変調部306によって変調した送信シンボルストリームに対し、第2次変調としてIFFTを行い、さらに窓かけを行い、送信系列を出力する。D/A変換部308は、IFFT部307から出力された送信系列に対して、デジタル・アナログ変換を行う。高周波送信部(RF送信部)309はD/A変換後のアナログ信号に対し、フィルタリング、周波数変換等を行った後、送信を行う。なお、TBC(Time Base Controller)310は送信装置300Aの送信タイミングを制御する。

【0036】次に、受信装置300Bについて説明する。RF受信部311は、高周波数の受信信号に対してフィルタリング及び周波数変換を行い、中間周波数またはベースバンドに変換した受信信号を出力する。A/D変換部312は、RF受信部311から出力されたアナ

ログの受信信号に対してアナログ・デジタル変換を行い、デジタル化された受信系列を生成する。

【0037】同期検出部313は、受信系列からフーリエ変換するタイミングを検出する。FFT部314は、同期検出部313によって検出したタイミングに応じて、受信系列にFFT窓をかけ、高速フーリエ変換(FFT)を行う。復調部315は、前記FFT処理後の信号を、送信装置300Aの変調部306で行われたデータ変調に対応する復調方式で復調を行う。例えば、FFT処理後のデータ系列をDQPSK復調し、受信シンボルストリームを生成する。

【0038】デ・インターリーバ316は、前記受信シンボルストリームに対し、分散されたビット系列を再配置し、受信符号化ビット系列を生成する。ビタビ復号部317は、受信符号化ビット系列を受信情報ビット系列に変換し、ISO/ASY分離部318に出力する。ISO/ASY分離部318は、ビタビ復号部317から出力されたデータ系列を前記順序情報を基にISOデータとASYデータとに分離する。リードソロモン復号器319は、ISO/ASY分離部318によって分離されたISOデータに対して、FEC(Forward Error Correcting)処理を行い、誤り訂正を行う。

【0039】MAC受信部320は、リードソロモン復号器319から受信したデータ及びISO/ASY分離部318によって分離されたASYデータを復号する。例えば、MAC受信部320は、受信データに含まれる管理データを受信し、復号方式などの制御情報を取得し、この制御情報に基づき、ISOデータやASYデータに対して、MPEGやMPEG2のような復号処理を行う。MAC受信部320は送信装置300AのMAC送信部301の符号化処理に対応する復号機能を持つブロックである。

【0040】以上のような送受信装置によって構成された通信システムにおいて、図2のように送受信端末間をコントロールする管理データ、ISOデータ、ASYデータといった時分割なデータ群をまとめたフレームという単位でデータの伝送が行われる。ISOデータは、高速なデータ伝送、例えば、画像データの伝送に適し、リアルタイムにデータの伝送を実現するために、伝送エラーが発生してもデータの再送を行わない。そのために、誤り訂正能力の高いECCによって、データの誤りを訂正する。ASYデータは、伝送速度の要求がISOデータほど厳しくないデータの伝送に適し、伝送エラーが発生した場合、受信側からの再送要求に応じて、送信側は送信データを再度送信することによって、伝送エラーを防止する。なお、送受信装置間をコントロールする管理データは、ISOデータまたはASYデータとして、伝送される。データの変調方式として、ISOデータでは、16QAMを用いて、1/2の符号化率を有する。一方、ASYデータでは、コヒーレントQPSK(Cohe

rent QPSK、以下、便宜上CQPSKと表記する)を用いて、符号化率が3/4である。

【0041】以下、図3及び図4を参照しつつ、本発明の通信システムにおける受信装置の2つの実施形態について説明する。

#### 【0042】受信装置の第1実施形態

図3は本発明に係る通信システムの受信装置の第1の実施形態を示す図であり、図1に示す受信装置におけるISO/ASY分離部318、リードソロモン復号器319及びMAC受信部320それぞれの内部構成を示すブロック図である。

【0043】ISO/ASY分離部318には、シリアル/パラレル変換器(S-P変換器)&選択器101が設けられている。シリアル/パラレル変換器は、ビタビ復号器317から受信したシリアルなデータをリードソロモン復号器319の復号ビット数にあうパラレルデータに変換する。選択器は、受信した管理データにより得られた時分割帯域情報、あるいは前もって取得した制御情報に基づき、受信したデータがISOデータかASYデータかを判断し、前記シリアル-パラレル変換器の出力をリードソロモン復号器319またはメモリコントローラ106へ選択しながら送信する。

【0044】なお、図3には示していないが、ISO/ASY分離部318によって、ISOデータとASYデータそれぞれの先頭を示す制御信号が生成され、リードソロモン復号器319及びメモリコントローラ320にそれぞれ出力される。リードソロモン復号器319は、当該制御信号に応じて復号処理のタイミングを制御し、また、メモリコントローラ320は、当該制御信号に応じて、データ書き込み及びデータ転送のタイミングを制御する。

【0045】図3において、102はビタビ復号器317から出力されるシリアルデータである。103はリードソロモン復号器319によって、FECされたパラレルデータであり、104はシリアル/パラレル変換器&選択器101からメモリコントローラ106に送信したパラレルデータである。105は管理データの種別を判別する情報、変調方式または送信装置の畳み込み部304の符号化率の情報を示す情報データであり、当該情報データによってメモリコントローラ106はメモリにデータを格納する場合のアドレスを制御する。

【0046】メモリコントローラ106は情報データ105の情報に基づき、パラレルデータ103と104をリアルタイムにメモリ108へ転送する制御を行う。パラレルデータ103と104を同時に受信した場合でも、次のデータを受信する前に時分割に処理をすることができる。107はメモリコントローラ106によって転送されたパラレルデータ(ISOデータまたはASYデータ)であり、これらのデータは、メモリ108に蓄積される。109はASYデータのエラーチェックを行

うCRC(Cyclic Redundancy Check)である。

【0047】図3では、メモリ108に蓄積されたデータを読み出す機能ブロック(またはソフトウェア)が受信装置間のデータ伝送単位であるフレームを認識しながらデータを読み出せるよう、管理データ領域、ASYデータ領域、ISOデータ領域というように整理しながらメモリに書き込んでいる。また、このメモリ書き込みの整理によって、ISOデータとASYデータの遅延差を吸収している。

【0048】ここで、情報データ105、パラレルデータ107、メモリコントローラ106及びメモリ108についてもっと詳しく説明する。情報データ105の情報によって、メモリコントローラ106は、管理データとパケットデータ(ASYデータ)をCQPSK変調(符号化率3/4)で受信していることを知り、ISOデータを16QAM(符号化率1/2)で受信していることを認識する。さらに、情報データ105には、ISOデータとASYデータとの区切りを示す先頭信号も含まれている。

【0049】メモリコントローラ106にメモリ用のアドレスを生成する機能ブロックがあり、管理データはMAC受信部320内にあるCRC(109)の結果にかかわらず、メモリ108の管理データ領域に書き込まれ、パケットデータはCRC109が通ったものをメモリ108のASYデータ領域に書き込まれるといった処理が行われる。ISOデータはリードソロモン復号器319の出力データをそのままメモリ108のISOデータ領域に書き込まれる。なお、メモリ108の管理データ領域、ASYデータ領域、ISOデータ領域は受信する全てのフレームにおいて固定ではなく、変調方式によって領域が可変である。

【0050】上述した受信装置により、画像転送に適したISOデータを実装した通信システムにおいて、ASYデータとISOデータとの遅延量の違いを吸収することができる。さらに、ISOデータ、ASYデータの変調方式が時分割に変わっても対応することができる。そのため、変調方式によってメモリコントローラ106は柔軟に動作を切り替え、各変調方式のデータ領域に対応する。

【0051】以上説明したように、本実施形態の受信装置によれば、MAC受信部320に、メモリコントローラ106を設けて、ISO/ASY分離部318によって出力された情報データ105に基づき、受信したデータを認識し、リードソロモン復号器319から出力されたISOデータをメモリ108のISOデータ領域に格納し、ISO/ASY分離部318から出力された管理データ及びASYデータをそれぞれ管理データ領域及びASYデータ領域に格納するので、ISOデータとASYデータの遅延量の違いを吸収でき、さらに、ISOデータとASYデータの変調方式の変化に従ってメモリコ

ントローラ106は動作を切り替え、各変調方式に対応することができる。

#### 【0052】受信装置の第2実施形態

図4は本発明に係る受信装置の第2の実施形態を示す図であり、図1に示す受信装置におけるISO/ASY分離部318、リードソロモン復号器319及びMAC受信部320aそれぞれの内部構成を示すブロック図である。本実施形態の受信装置は、画像通信に適したISOデータ通信機能を持つマルチキャリア通信システムの受信装置であり、図3に示す第1の実施形態同様、送信装置からそれぞれ変調方式の異なるISOデータとASYデータの2種類のパケットデータと管理データを受信する。ISOデータは、高速なデータ伝送を実現でき、例えば、画像データの伝送に適する。送受信装置間をコントロールする管理データは、ISOデータまたはASYデータとして伝送される。データの変調方式として、ISOデータでは、例えば16QAMを用いて、1/2の符号化率を有する。一方、ASYデータでは、例えばコヒーレントQPSK(CQPSK)を用いて、符号化率が3/4である。

【0053】本実施形態の受信装置において、ISO/ASY分離部318は、図3に示す第1の実施形態の受信装置の対応する構成部分と同じ構成及び機能を有する。ISO/ASY分離部318に、シリアル/パラレル変換器&選択器201が設けられている。シリアル/パラレル変換器は、ビタビ復号器317から受信したシリアルなデータ202をリードソロモン復号器319の復号ビット数にあうパラレルデータに変換する。選択器は、受信した管理データにより得られた時分割帯域情報、あるいは前もって取得した制御情報に基づき、受信したデータがISOデータかASYデータかを判断し、前記シリアル/パラレル変換器の出力をリードソロモン復号器319またはMAC受信部320aへ選択しながら送信する。

【0054】MAC受信部320aには、ISOメモリコントローラ207とASYメモリコントローラ208が設けられている。図4において、204はISOデータの変調方式とISOデータの区切りを知らせる先頭情報をISOメモリコントローラ207に通知する情報データであり、206はASYデータの変調方式とASYデータの区切りを知らせる先頭情報をASYメモリコントローラ208に通知する情報データである。

【0055】ISOメモリコントローラ207は、リードソロモン復号器319によって出力されたパラレルデータ203を、情報データ204に基づいてメモリ211に格納領域を確保し、パラレルデータ203をメモリ211に転送する。ASYメモリコントローラ208は、情報データ206に基づき、シリアル/パラレル変換器&選択器201によって出力されたパラレルデータ205を識別し、それぞれのデータについて、メモリ2

11に格納領域を確保する。例えば、パラレルデータ205が管理データの場合、メモリ211に管理データ用メモリ領域を確保したあと、メモリ211にデータを転送する。一方、パラレルデータ205がASYデータの場合、メモリ211にASYデータ用メモリ領域を確保したあと、メモリ211に当該パラレルデータを転送する。

【0056】図4において、209はISOメモリコントローラ207によってメモリ211に転送されるISOデータであり、210はASYメモリコントローラ208によって、メモリ211へ転送される管理データまたはASYデータである。メモリ211はデータ209または210を受信し蓄積する。本実施形態の受信装置では、メモリ211に蓄積されたデータがCPU214のデータバス212を介して読み出される。CPU214はデータ伝送単位であるフレームを認識しながらデータを読み出せるよう、管理データ領域、ASYデータ領域、ISOデータ領域というように整理しながらメモリ211にそれぞれのデータを書き込む。また、このメモリ書き込みの整理によって、ISOデータとASYデータの遅延差を吸収している。

【0057】CPU214は受信装置全体の制御を行い、215はCPU214のメイン・メモリとしてCPU214によって使用される。加えて、メイン・メモリ215にはフレーム単位のデータ量を蓄積できるシングルポートメモリ(Single Port Memory)を使い、メモリ211には1/5フレーム程度のデータ蓄積容量を持つデュアルポートメモリ(Dual Port Memory)が設けられ、ISOデータに割り当てられている。これは、ISOデータがオーバーヘッドが少なくデータ量が多いため、DMAを行わずISOメモリコントローラ207やASYメモリコントローラ208から直接メイン・メモリ215に転送すると、データバス212の占有時間が長くなってしまい、CPU214が他の処理をできなくなるからである。

【0058】ISOデータの蓄積にデュアルポートメモリを使用することによって、当該メモリは、ISOメモリコントローラ207及びDMA転送制御回路の両方から同時にアクセスすることができるので、ISOデータをDMA転送によって、高速にCPU214のメイン・メモリに転送することができる。そして、CPU214の制御によって、受信したデータに対してフレーム変換が行われる。受信データがマルチキャリア変調によって転送する場合、図2に示すフレームで転送される。CPU214によって、受信データを無線転送フレームから、例えば、ケーブル転送フレームに変換され、必要に応じてケーブルを介して他の端末に転送される。

【0059】以上のような受信装置により、ISO/ASY分離部318がISOデータとASYデータを同時に、かつ高速にリードソロモン復号器319及びMAC

受信部320へ送信してもCPU214が処理を容易に行えるレベルまでデータを構成しなおすことができる。さらに、オーバーヘッドが少なくデータ量の多いISOデータの処理についてもデータバス212を長く占有することなく、高速にデータ転送が行える。さらに、ASYデータ・ISOデータの各々の変調方式が時分割に変わっても対応することができる。

【0060】以上説明したように、本実施形態によれば、MAC受信部320aに、ISOメモリコントローラ207とASYメモリコントローラ208を設けて、ISO/ASY分離部318によって出力された情報データ204と206に基づき、受信データを認識し、リードソロン復号器319から出力されたISOデータ203をメモリ211のISOデータ領域に格納し、ISO/ASY分離部318から出力された管理データ及びASYデータをそれぞれ管理データ領域及びASYデータ領域に格納するので、ISOデータとASYデータの遅延量の違いを吸収でき、ISOデータとASYデータの変調方式の変化に従ってメモリコントローラ106は動作を切り替え、各変調方式のデータ領域に対応することができる。さらに、ISOデータを格納するメモリをマルチポートメモリ、例えば、デュアルポートメモリを使用することによって、ISOメモリコントローラ207及びDMA転送制御回路の両方から同時にアクセスでき、ISOデータをDMA転送によって高速にCPU214のメイン・メモリに転送することができる。CPU214は、メイン・メモリの蓄積データに対して、フレーム変換を行い、例えば、無線転送用フレームからケーブル転送用フレームに変換し、ケーブルを通して他の端末に転送することができる。

【0061】本発明は上述した第1及び第2の実施形態に限定されるものではない。例えば、上述した実施形態において、移動局が基地局からデータを受信する動作について説明しているがこれに限られたものではない。基地局が移動局からデータを受信する場合でも同じ動作を実行することができる。また、移動局の台数が複数であるようなネットワーク構成でも対応できるものとする。さらに、送受信装置の間に転送されるパケットも2種類に限定されない。変調方式及び符号化率も限定されず、CQPSK、DPSK、8PSK、16QAM、64QAM、128QAM、256QAMといった変調方式、1/2、1/3、2/3、3/4、4/5、5/6、7/8といった符号化率でもよい。

【0062】また、上述した実施形態において管理情報はASYデータとして送受信しているが、ISOデータでもよいものとする。受信装置のビタビ復号器から出力されるシリアルデータ102はレジスタ交換(Registor Exchange)方式を使って出力されるが、本発明は当該レジスタ交換方式だけでなく、トレースバック(Trace Back)方式等の他の方式でもよく、トレースバック方式

の場合にはシリアルデータ出力の他にパラレルデータ出力もできる。さらにトレースバック方式の場合、ビタビ復号器の出力データ102はパラレルデータになることもあるため、シリアル/パラレル変換器&選択器101はパラレルデータに関しては変換処理を行わず、入力データを単に通過させることもできる。

【0063】また、メモリ108の管理データ領域、ASYデータ領域及びISOデータ領域は受信するすべてのフレームにおいて固定でもよいものとする。領域固定でかつメモリマップの順序が固定されている場合、106の制御が複雑にならなくても済む。また、メモリコントローラ106において、完全にリアルタイムに伝送しなくてもよい。保証される伝送レートに間に合う程度の少量のバッファを実装することでISOデータとASYデータを同時に受信する場合に対応してもよい。

【0064】

【発明の効果】以上説明したように、本発明の送信装置、受信装置及び通信システムによれば、再送請求を行わないデータストリーム(ISOデータ)と、再送請求を行うパケットデータ(ASYデータ)を送受信するマルチキャリア通信装置において、ISOデータとASYデータの利用状況を取得し、当該利用状況に基づいて、受信データからISOデータとASYデータを分離するパケットデータ分離部(ISO/ASY分離部)を設けることで、データ・ストリームはオーバーヘッドのない高速な画像データ転送に最適な通信システムを提供することができる。また、ISOデータとASYデータの構成情報に応じて、受信データのパケット分離を行うことで、変調方式によって異なるデータ量をメモリコントロール部で切り替えさせ、ISOデータとASYデータの遅延量の違いを吸収させ、後の処理を容易に実現させることができる。さらに、変調方式が異なることによって生じるデータの隙間を把握できるため、データ先頭を知らせる通知手段を設ける。これにより、メモリコントロール部は各変調方式の違いを吸収し、一貫した処理を行うことができる。また、ISOデータとASYデータのメモリコントロールを別々に対応させることで、高速なデータ通信にも対応することができる。さらに、メモリコントロール部から受信したデータをメモリに蓄積する第1のメモリと、受信データに関して、無線通信用フレームをケーブル用フレームに変換するために蓄積する第2のメモリとを備え、CPUで無線用フレームをケーブル用フレームに変換することにより、CPUバスを占有しないCPU構成で無線で送受信されるデータをケーブルでも利用できる利点がある。

【図面の簡単な説明】

【図1】本発明に係る通信システムの構成を示すブロック図である。

【図2】本発明の通信システムにおけるフレームの構成を示す図である。

【図3】本発明の受信装置の第1の実施形態を示すブロック図である。

【図4】本発明の受信装置の第2の実施形態を示すブロック図である。

【図5】従来の通信システムの一構成例を示すブロック図である。

【符号の説明】

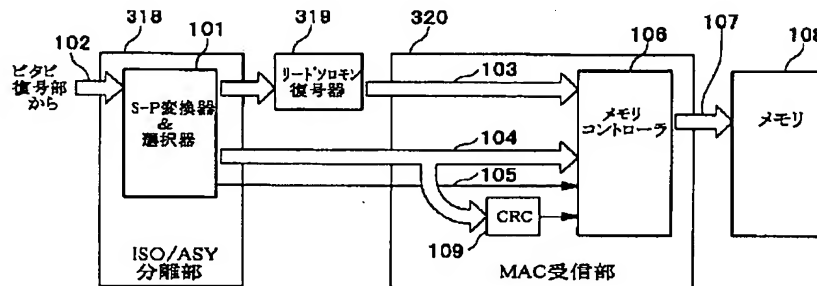
300A, 500A…送信装置、300B, 500B…受信装置、301…MAC送信部、302…リードソロン符号器、303…ISO/ASY結合部、304…畳み込み部、305…インターリーバ、306…変調

部、307…IFFT部、308…D/A変換部、309…RF送信部、311…RF受信部、312…A/D変換部、313…同期検出部、314…FFT部、315…復調部、316…デ・インターリーバ、317…ビットバ復号器、318…ISO/ASY分離部、319…リードソロン復号器、320…MAC受信部、101, 201…シリアル/パラレル変換器&選択器、106…メモリコントローラ、207…ISOメモリコントローラ、208…ASYメモリコントローラ、211…メモリ、214…CPU、215…CPUのメイン・メモリ。

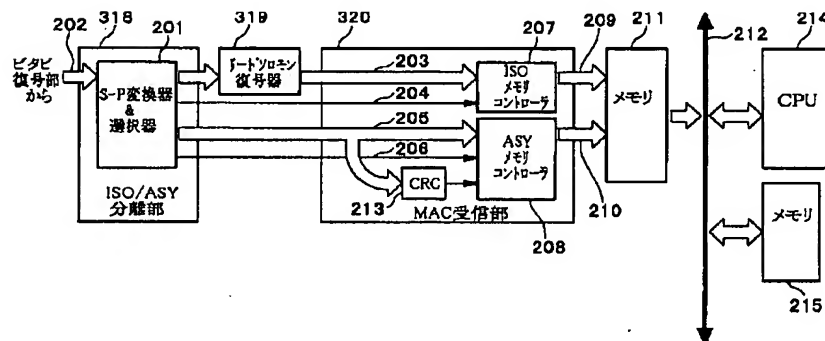
【図2】



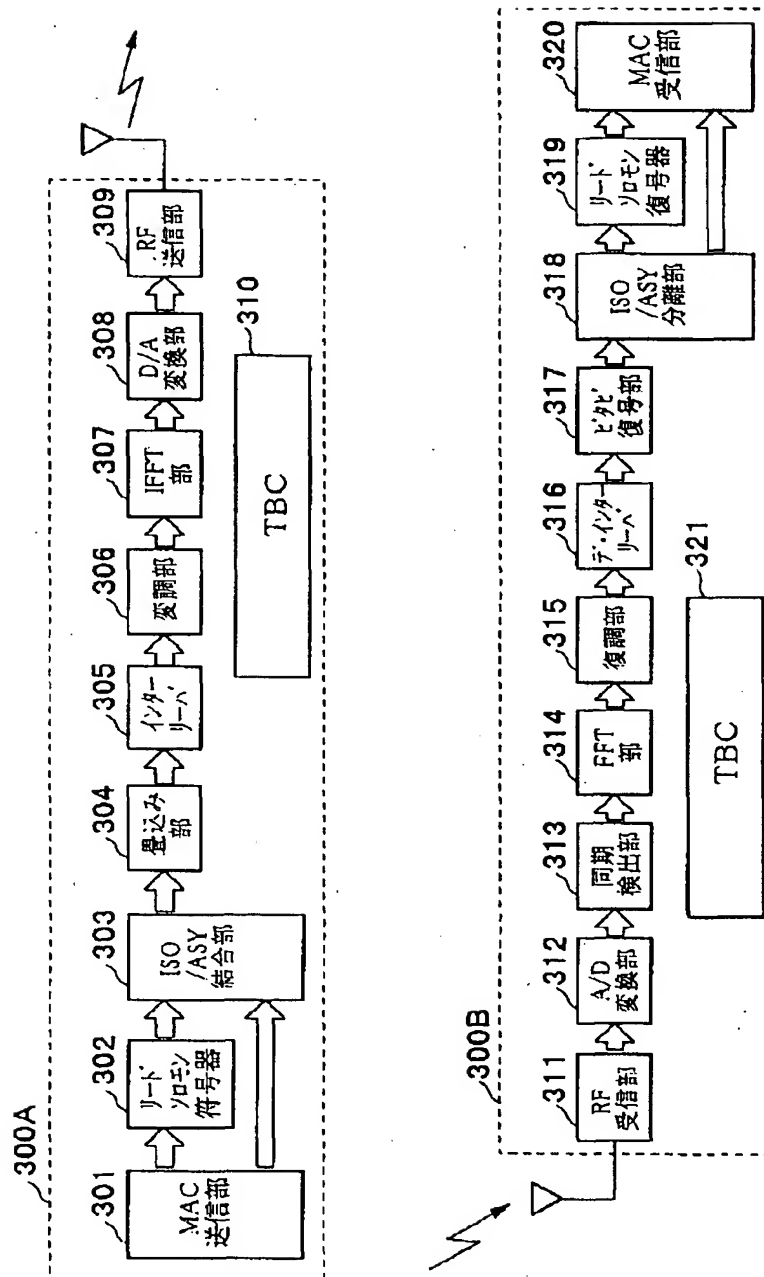
【図3】



【図4】



【図1】



【図5】

